【書類名】　　　　　　特許願

【整理番号】　　　　　14-00242

【提出日】　　　　　　平成26年12月26日

【あて先】　　　　　　特許庁長官殿

【国際特許分類】　　　G05F 1/10

【発明者】

　　【住所又は居所】　東京都大田区雪谷大塚町１番７号　アルプス電気株式会社内

　　【氏名】　　　　　川畑　賢

【発明者】

　　【住所又は居所】　東京都大田区雪谷大塚町１番７号　アルプス電気株式会社内

　　【氏名】　　　　　太田　雅彦

【特許出願人】

　　【識別番号】　　　000010098

　　【氏名又は名称】　アルプス電気株式会社

【代理人】

　　【識別番号】　　　100108006

　　【弁理士】

　　【氏名又は名称】　松下　昌弘

　　【電話番号】　　　03-3493-2007

　　【連絡先】　　　　担当

【選任した代理人】

　　【識別番号】　　　100085453

　　【弁理士】

　　【氏名又は名称】　野▲崎▼　照夫

【選任した代理人】

　　【識別番号】　　　100135183

　　【弁理士】

　　【氏名又は名称】　大窪　克之

【選任した代理人】

　　【識別番号】　　　100120204

　　【弁理士】

　　【氏名又は名称】　平山　巌

【手数料の表示】

　　【予納台帳番号】　327882

　　【納付金額】　　　15,000円

【提出物件の目録】

　　【物件名】　　　　特許請求の範囲　1

　　【物件名】　　　　明細書　1

　　【物件名】　　　　図面　1

　　【物件名】　　　　要約書　1

　　【包括委任状番号】　1402732

【書類名】明細書

【発明の名称】出力回路及びこれを有する電流センサ

【技術分野】

　【０００１】

　本発明はアナログ信号を出力する出力回路とこれを有する電流センサに係り、特に、出

力電圧の範囲が制限された出力回路に関するものである。

【背景技術】

　【０００２】

　増幅回路やバッファ回路などの出力電圧を、ある一定の範囲に制限することが必要な場

合がある。そのような場合、一般に、電圧リミッタ回路が用いられる。図９は、従来の一

般的な電圧リミッタ回路の構成を示す図である（下記の特許文献１を参照）。図９に示す

電圧リミッタ回路１００は、ダイオード１０２と定電圧源１０３を直列に接続して構成さ

れたものであり、オペアンプによるバッファ回路１０１の出力端子に接続されている。バ

ッファ回路１０１の出力電圧Ｖｏｕｔが定電圧源１０３とダイオード１０２の順方向電圧

の和に相当する電圧に達すると、ダイオード１０２が導通し、定電圧源１０３へ流れる電

流が増大することにより、出力電圧Ｖｏｕｔの上昇が制限される。

【先行技術文献】

【特許文献】

　【０００３】

　　【特許文献１】特開２０００－５６８４１号公報

【発明の概要】

【発明が解決しようとする課題】

　【０００４】

　図９に示す電圧リミッタ回路１００では、導通したダイオード１０２を通じて定電圧源

１０３に大きな電流を流すことにより電圧の上昇を制限している。しかしながら、例えば

プッシュルプル方式などのように電流供給能力が高い回路形式を持つ出力回路の場合、こ

のような電圧リミッタ回路では電流が非常に大きくなってしまい、消費電流の増大や素子

の温度上昇などの問題を生じる。また、ダイオードの順方向電圧は温度によって大きくば

らつくため、出力電圧の制限範囲が温度により変動してしまうという問題もある。

　【０００５】

　本発明はかかる事情に鑑みてなされたものであり、その目的は、消費電力の増大を抑制

しつつ出力電圧の範囲を精度良く制限できる出力回路と、そのような出力回路を有する電

流センサを提供することにある。

【課題を解決するための手段】

　【０００６】

　本発明の第１の観点に係る出力回路は、入力信号に応じたアナログ信号を出力ラインへ

出力する出力回路であって、少なくとも１つの電源ラインと前記出力ラインとの間の電流

経路に設けられた少なくとも１つの出力トランジスタと、前記出力ラインに生じる出力電

圧が所定のリミット電圧より上昇又は低下した場合、前記出力電圧が前記リミット電圧へ

近づくように前記出力トランジスタを制御する少なくとも１つの制御回路とを具備する。

　【０００７】

　上記の構成によれば、前記出力ラインに生じる出力電圧が前記所定のリミット電圧より

上昇又は低下した場合、前記出力電圧が前記リミット電圧へ近づくように、前記電源ライ

ンと前記出力ラインとの間の電流経路に設けられた前記出力トランジスタが制御される。

これにより、リミッタ動作時に前記出力トランジスタの電流を増大させることなく前記出

力電圧の範囲が制限される。また、前記出力電圧が前記所定のリミット電圧へ近づくよう

に前記出力ランジスタが負帰還制御されるため、前記出力電圧の範囲が精度良く制限され

る。

　【０００８】

　好適に、前記制御回路は、前記出力電圧と前記リミット電圧との差を増幅する差動増幅

回路と、前記出力トランジスタの制御端子へ信号を伝達する信号経路と前記出力ラインと

の間に設けられており、前記出力電圧が前記リミット電圧より上昇又は低下した場合、前

記出力ラインから前記信号経路への帰還信号を前記差動増幅回路の出力信号に応じて制御

する帰還制御トランジスタとを有してよい。

　【０００９】

　この場合、前記制御回路は、所定の電圧と前記出力電圧との間の分圧電圧を発生する分

圧回路を有してよい。前記差動増幅回路は、前記リミット電圧と前記分圧回路の分圧比と

に基づいて設定されたしきい電圧と前記分圧電圧との差を増幅してよい。前記所定の電圧

は、前記出力電圧と前記リミット電圧とが等しい場合に前記分圧電圧が前記出力電圧に比

べて電源の最高電圧と最低電圧との中間の電圧に近くなるように設定されてよい。

　上記の構成によれば、前記分圧電圧が電源の最高電圧と最低電圧との中間の電圧に近い

電圧となるため、前記差動増幅回路の構成が簡易になる。

　【００１０】

　また好適に、前記出力回路は、第１電源ラインと前記出力ラインとの間の電流経路に設

けられた第１出力トランジスタと、前記第１電源ラインより低電圧の第２電源ラインと前

記出力ラインとの間の電流経路に設けられた第２出力トランジスタと、前記出力電圧が第

１リミット電圧より上昇した場合、前記出力電圧が前記第１リミット電圧へ近づくように

前記第１出力トランジスタを制御する第１制御回路と、前記出力電圧が第２リミット電圧

より低下した場合、前記出力電圧が前記第２リミット電圧へ近づくように前記第２出力ト

ランジスタを制御する第２制御回路とを備えてよい。前記第１制御回路は、前記出力電圧

と前記第１リミット電圧との差を増幅する第１差動増幅回路と、前記第１出力トランジス

タの制御端子へ信号を伝達する信号経路と前記出力ラインとの間に設けられており、前記

出力電圧が前記第１リミット電圧より上昇した場合、前記出力ラインから当該信号経路へ

の帰還信号を前記第１差動増幅回路の出力信号に応じて制御する第１帰還制御トランジス

タとを有してよい。前記第２制御回路は、前記出力電圧と前記第２リミット電圧との差を

増幅する第２差動増幅回路と、前記第２出力トランジスタの制御端子へ信号を伝達する信

号経路と前記出力ラインとの間に設けられており、前記出力電圧が前記第２リミット電圧

より低下した場合、前記出力ラインから当該信号経路への帰還信号を前記第２差動増幅回

路の出力信号に応じて制御する第２帰還制御トランジスタとを有してよい。

　【００１１】

　この場合、前記第１制御回路は、前記第１リミット電圧より低い所定の電圧と前記出力

電圧との間の第１分圧電圧を発生する第１分圧回路を有してよい。前記第１差動増幅回路

は、前記第１リミット電圧と前記第１分圧回路の分圧比とに基づいて設定された第１しき

い電圧と前記第１分圧電圧との差を増幅してよい。前記第２制御回路は、前記第２リミッ

ト電圧より高い所定の電圧と前記出力電圧との間の第２分圧電圧を発生する第２分圧回路

を有してもよい。前記第２差動増幅回路は、前記第２リミット電圧と前記第２分圧回路の

分圧比とに基づいて設定された第２しきい電圧と前記第２分圧電圧との差を増幅してよい

。

　【００１２】

　また、前記制御回路は、前記第２出力トランジスタの制御端子と前記第１電源ラインと

の間に設けられており、前記出力電圧が前記第１リミット電圧より上昇した場合、前記第

１差動増幅回路の出力信号に応じて前記第２出力トランジスタの制御端子の電圧を制御す

る第３帰還制御トランジスタ、及び、前記第１出力トランジスタの制御端子と前記第２電

源ラインとの間に設けられており、前記出力電圧が前記第２リミット電圧より低下した場

合、前記第２差動増幅回路の出力信号に応じて前記第１出力トランジスタの制御端子の電

圧を制御する第４帰還制御トランジスタの少なくとも一方を有していてもよい。

　【００１３】

　好適に、上記出力回路は、前記第１出力トランジスタ及び前記第２出力トランジスタを

前記入力信号に応じて相補的に動作させる相補駆動回路を有してよい。

　【００１４】

　好適に、上記出力回路は、前記第１出力トランジスタ及び前記第２出力トランジスタの

一方を定電流源として動作させるバイアス回路を有してよい。

　【００１５】

　好適に、前記制御回路は、前記出力電圧と前記リミット電圧との差を増幅する差動増幅

回路と、前記出力トランジスタの制御端子へ信号を伝達する信号経路と所定の電圧が供給

される電圧供給ラインとの間に設けられており、前記出力電圧が前記リミット電圧より上

昇又は低下した場合、前記差動増幅回路の出力信号に応じて前記信号経路の電圧を制御す

る帰還制御トランジスタとを有してもよい。

　【００１６】

　本発明の第２の観点に係る電流センサは、被測定電流による磁界に応じた検出信号を出

力する磁気センサと、前記磁気センサに作用する前記被測定電流による磁界を打ち消す方

向に磁界を発生するコイルと、前記検出信号に応じて、前記磁気センサに作用する前記被

測定電流による磁界と前記コイルに流れる電流による磁界とが平衡するよう前記コイルを

駆動するコイル駆動回路と、前記コイルに流れる電流を検出する抵抗と、前記抵抗に生じ

る電圧を増幅する増幅回路とを備える。前記増幅回路は、上記第１の観点に係る出力回路

を有する。

【発明の効果】

　【００１７】

　本発明によれば、消費電力の増大を抑制しつつ出力電圧の範囲を精度良く制限できる。

【図面の簡単な説明】

　【００１８】

　　【図１】本発明の第１の実施形態に係る出力回路の構成の一例を示す図である。

　　【図２】本発明の第２の実施形態に係る出力回路の構成の一例を示す図である。

　　【図３】本発明の第３の実施形態に係る出力回路の構成の一例を示す図である。

　　【図４】本発明の第４の実施形態に係る出力回路の構成の一例を示す図である。

　　【図５】本発明の第５の実施形態に係る出力回路の構成の一例を示す図である。

　　【図６】本発明の第６の実施形態に係る出力回路の構成の一例を示す図である。

　　【図７】本発明の第７の実施形態に係る出力回路の構成の一例を示す図である。

　　【図８】本発明の第８の実施形態に係る出力回路の構成の一例を示す図である。

　　【図９】従来の一般的な電圧リミッタ回路の構成を示す図である。

【発明を実施するための形態】

　【００１９】

＜第１の実施形態＞

　図１は、本発明の第１の実施形態に係る出力回路の構成の一例を示す図である。

　図１に示す出力回路は、入力信号Ｓｉｎを増幅して出力ラインＯＵＴに出力する増幅回

路１０と、増幅回路１０の出力電圧Ｖｏｕｔを所定の範囲に制限するための制御を行うリ

ミッタ制御回路２０を有する。

　【００２０】

　図１の例において、増幅回路１０は、ＰＭＯＳ型の第１出力トランジスタＭ１１と、Ｎ

ＭＯＳ型の第２出力トランジスタＭ１２と、この第１出力トランジスタＭ１１及び第２出

力トランジスタＭ１２を入力信号Ｓｉｎに応じて相補的に動作させる相補駆動回路１１を

有する。

　【００２１】

　第１出力トランジスタＭ１１は、電源電圧Ｖｄｄが供給される電源ライン（以下、「電

源ラインＶｄｄ」と記す。）と出力ラインＯＵＴとの間の電流経路に設けられる。第１出

力トランジスタＭ１１のソースが電源ラインＶｄｄに接続され、そのドレインが出力ライ

ンＯＵＴに接続される。

　【００２２】

　第２出力トランジスタＭ１２は、接地電位の電源ライン（以下、「接地ラインＧＮＤ」

と記す。）と出力ラインＯＵＴとの間の電流経路に設けられる。第２出力トランジスタＭ

１２のソースが接地ラインＧＮＤに接続され、そのドレインが出力ラインＯＵＴに接続さ

れる。

　【００２３】

　相補駆動回路１１は、第１出力トランジスタＭ１１及び第２出力トランジスタＭ１２に

よって構成される出力段がプッシュプル回路として動作するように、それぞれのゲートを

入力信号Ｓｉｎに応じて駆動する。図１の例において、相補駆動回路１１は、ＰＭＯＳ型

のトランジスタＭ１４，Ｍ１５とＮＭＯＳ型のトランジスタＭ１６，Ｍ１７を有する。ト

ランジスタＭ１４のソースが電源ラインＶｄｄに接続され、そのドレインが第１出力トラ

ンジスタＭ１１のゲートに接続される。トランジスタＭ１４のゲートには一定のバイアス

電圧Ｖｂが印加される。トランジスタＭ１５のソースが第１出力トランジスタＭ１１のゲ

ートに接続され、そのソースとドレインがトランジスタＭ１６のゲートとドレインに接続

される。トランジスタＭ１６のソースは、第２出力トランジスタＭ１２のゲートに接続さ

れる。トランジスタＭ１７のドレインが第２出力トランジスタＭ１２のゲートに接続され

、そのソースが接地ラインＧＮＤに接続される。トランジスタＭ１７のゲートには入力信

号Ｓｉｎが入力される。

　【００２４】

　リミッタ制御回路２０は、出力ラインＯＵＴに生じる出力電圧Ｖｏｕｔが第１リミット

電圧ＶＬ１から第２リミット電圧ＶＬ２までの範囲（ＶＬ２＜Ｖｏｕｔ＜ＶＬ１）に制限

されるように、増幅回路１０の出力段の第１出力トランジスタＭ１１及び第２出力トラン

ジスタＭ１２を制御する。

　【００２５】

　リミッタ制御回路２０は、出力電圧Ｖｏｕｔの上限値を第１リミット電圧ＶＬ１に制限

する第１制御回路２１と、出力電圧Ｖｏｕｔの下限値を第２リミット電圧ＶＬ２に制限す

る第２制御回路２２を有する。第１制御回路２１は、出力電圧Ｖｏｕｔが第１リミット電

圧ＶＬ１より上昇した場合、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づくように

第１出力トランジスタＭ１１を制御する。また、第２制御回路２２は、出力電圧Ｖｏｕｔ

が第２リミット電圧ＶＬ２より低下した場合、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ

２へ近づくように第２出力トランジスタＭ１２を制御する。

　【００２６】

　図１の例において、第１制御回路２１は、ＰＭＯＳ型の第１帰還制御トランジスタＭ３

１と第１差動増幅回路ＯＰ１を有する。

　【００２７】

　第１差動増幅回路ＯＰ１は、出力電圧Ｖｏｕｔと第１リミット電圧ＶＬ１との差を増幅

する回路であり、例えばオペアンプを用いて構成される。第１差動増幅回路ＯＰ１の反転

入力端子に出力電圧Ｖｏｕｔが入力され、その非反転入力端子には第１リミット電圧ＶＬ

１が入力される。

　【００２８】

　第１帰還制御トランジスタＭ３１は、第１出力トランジスタＭ１１のゲートと出力ライ

ンＯＵＴとの間に設けられており、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より上昇

した場合、出力ラインＯＵＴから第１出力トランジスタＭ１１のゲートへの帰還信号を第

１差動増幅回路ＯＰ１の出力信号に応じて制御する。第１帰還制御トランジスタＭ３１の

ドレインが第１出力トランジスタＭ１１のゲートに接続され、そのソースが出力ラインＯ

ＵＴに接続され、そのゲートが第１差動増幅回路ＯＰ１の出力に接続される。

　【００２９】

　また図１の例において、第２制御回路２２は、ＮＭＯＳ型の第２帰還制御トランジスタ

Ｍ３２と第２差動増幅回路ＯＰ２を有する。

　【００３０】

　第２差動増幅回路ＯＰ２は、出力電圧Ｖｏｕｔと第２リミット電圧ＶＬ２との差を増幅

する回路であり、例えばオペアンプを用いて構成される。第２差動増幅回路ＯＰ２の反転

入力に出力電圧Ｖｏｕｔが入力され、その非反転入力端子には第２リミット電圧ＶＬ２が

入力される。

　【００３１】

　第２帰還制御トランジスタＭ３２は、第２出力トランジスタＭ１２のゲートと出力ライ

ンＯＵＴとの間に設けられており、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低下

した場合、出力ラインＯＵＴから第２出力トランジスタＭ１２のゲートへの帰還信号を第

２差動増幅回路ＯＰ２の出力信号に応じて制御する。第２帰還制御トランジスタＭ３２の

ドレインが第２出力トランジスタＭ１２のゲートに接続され、そのソースが出力ラインＯ

ＵＴに接続され、そのゲートが第２差動増幅回路ＯＰ２の出力に接続される。

　【００３２】

　ここで、上述した構成を有する本実施形態に係る出力回路の動作を説明する。

　【００３３】

　まず、増幅回路１０の出力段のプッシュルプル動作について説明する。

　トランジスタＭ１４は、ゲートに入力されるバイアス電圧Ｖｂに応じたほぼ一定の電流

が流れる定電流源として動作する。トランジスタＭ１５及びＭ１６のゲート－ソース電圧

は、トランジスタＭ１４の一定の電流によってほぼ一定となる。すなわち、第１出力トラ

ンジスタＭ１１のゲートと第２出力トランジスタＭ１２のゲートとの電圧差はほぼ一定と

なる。そのため、トランジスタＭ１７のドレイン電圧が入力信号Ｓｉｎに応じて変化する

と、第１出力トランジスタＭ１１及び第２出力トランジスタＭ１２のゲート電圧Ｖｇ１，

Ｖｇ２が共に変化する。

　入力信号Ｓｉｎの電圧が上昇すると、トランジスタＭ１７のドレイン電圧が低下する。

これにより、第１出力トランジスタＭ１１のゲート電圧Ｖｇ１が低下して第１出力トラン

ジスタＭ１１のドレイン電流が増大するとともに、第２出力トランジスタＭ１２のゲート

電圧Ｖｇ２が低下して第２出力トランジスタＭ１２のドレイン電流が減少し、出力電圧Ｖ

ｏｕｔが上昇する。

　入力信号Ｓｉｎの電圧が低下した場合は、上記と逆の動作により、第１出力トランジス

タＭ１１のドレイン電流が減少するとともに第２出力トランジスタＭ１２のドレイン電流

が増大し、出力電圧Ｖｏｕｔが低下する。従って、第１出力トランジスタＭ１１と第２出

力トランジスタＭ１２は、入力信号Ｓｉｎに応じて相補的に動作する。

　【００３４】

　次に、出力電圧Ｖｏｕｔのリミット動作について説明する。

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より低い場合、第１差動増幅回路ＯＰ１の

出力電圧はハイレベル（Ｖｄｄ）となり、第１帰還制御トランジスタＭ３１はオフ状態と

なる。この場合、第１制御回路２１による出力電圧Ｖｏｕｔのリミット動作は働かない。

　【００３５】

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなると、第１差動増幅回路ＯＰ１

の出力電圧が低下し、第１帰還制御トランジスタＭ３１がオフ状態から導通状態へ変化す

る。電圧差「Ｖｏｕｔ－ＶＬ１」が大きくなるほど、第１帰還制御トランジスタＭ３１の

インピーダンスが小さくなる。

　【００３６】

　ここで、第１リミット電圧ＶＬ１は第１出力トランジスタＭ１１のゲートの電圧Ｖｇ１

より高いものとする。すなわち、第１出力トランジスタＭ１１のゲート－ソース間のしき

い電圧Ｖｔｈ１に対して「ＶＬ１＞Ｖｄｄ－｜Ｖｔｈ１｜」の関係を満たしているものと

する。そうすると、第１帰還制御トランジスタＭ３１のインピーダンスが小さくなるほど

第１出力トランジスタＭ１１のゲート電圧Ｖｇ１が上昇するため、第１出力トランジスタ

Ｍ１１のドレイン電流が減少して、出力電圧Ｖｏｕｔの上昇が抑制される。そのため、出

力電圧Ｖｏｕｔは、第１リミット電圧ＶＬ１より高くなると急激に上昇が抑制され、ほぼ

第１リミット電圧ＶＬ１に固定される。

　【００３７】

　他方、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より高い場合、第２差動増幅回路Ｏ

Ｐ２の出力電圧はローレベル（ＧＮＤ）となり、第２帰還制御トランジスタＭ３２はオフ

状態となる。この場合、第２制御回路２２による出力電圧Ｖｏｕｔのリミット動作は働か

ない。

　【００３８】

　出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなると、第２差動増幅回路ＯＰ２

の出力電圧が上昇し、第２帰還制御トランジスタＭ３２がオフ状態から導通状態へ変化す

る。電圧差「ＶＬ２－Ｖｏｕｔ」が大きくなるほど、第２帰還制御トランジスタＭ３２の

インピーダンスが小さくなる。

　【００３９】

　ここで、第２リミット電圧ＶＬ２は第２出力トランジスタＭ１２のゲートの電圧Ｖｇ２

より低いものとする。すなわち、第２出力トランジスタＭ１２のゲート－ソース間のしき

い電圧Ｖｔｈ２に対して「Ｖｔｈ２＞ＶＬ２」の関係を満たしているものとする。そうす

ると、第２帰還制御トランジスタＭ３２のインピーダンスが小さくなるほど第２出力トラ

ンジスタＭ１２のゲート電圧Ｖｇ２が低下するため、第２出力トランジスタＭ１２のドレ

イン電流が減少して、出力電圧Ｖｏｕｔの低下が抑制される。そのため、出力電圧Ｖｏｕ

ｔは、第２リミット電圧ＶＬ１より低くなると急激に低下が抑制され、ほぼ第２リミット

電圧ＶＬ２に固定される。

　【００４０】

　以上説明したように、本実施形態に係る出力回路によれば、出力電圧Ｖｏｕｔが第１リ

ミット電圧ＶＬ１より上昇した場合、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づ

くように第１出力トランジスタＭ１１が制御され、出力電圧Ｖｏｕｔが第２リミット電圧

ＶＬ２より低下した場合、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ近づくように第

２出力トランジスタＭ１２が制御される。

　これにより、従来の電圧リミッタ回路のようにリミッタ動作時の出力電流を増大させる

ことなく出力電圧Ｖｏｕｔの範囲を制限できるため、消費電力の増大を抑えることができ

る。

　また、出力電圧Ｖｏｕｔが所定の範囲から逸脱した場合、制御回路（２１，２２）によ

って出力電圧Ｖｏｕｔが所定のリミット電圧（ＶＬ１，ＶＬ２）へ近づくように出力段の

トランジスタ（Ｍ１１，Ｍ１２）が負帰還制御されるため、出力電圧Ｖｏｕｔの範囲を精

度良く制限することができる。

　【００４１】

＜第２の実施形態＞

　次に、本発明の第２の実施形態について説明する。

　図２は、第２の実施形態に係る出力回路の構成の一例を示す図である。図２に示す出力

回路は、図１に示す出力回路におけるリミッタ制御回路２０をリミッタ制御回路２０Ａに

置き換えたものであり、他の構成は図１に示す出力回路と同じである。

　【００４２】

　リミッタ制御回路２０Ａは、出力段のトランジスタ（Ｍ１，Ｍ２）の制御を行う第１制

御回路２１Ａと第２制御回路２２Ａを有する。

　【００４３】

　第１制御回路２１Ａは、図１における第１制御回路２１と同様の構成（第１帰還制御ト

ランジスタＭ３１、第１差動増幅回路ＯＰ１）に加えて、第１分圧回路２３を有する。

　第１分圧回路２３は、所定の電圧と出力電圧Ｖｏｕｔとの間の分圧電圧（第１分圧電圧

Ｖｏ１）を発生する回路である。ここで「所定の電圧」は、出力電圧Ｖｏｕｔと第１リミ

ット電圧ＶＬ１とが等しい場合に、第１分圧電圧Ｖｏ１が出力電圧Ｖｏｕｔに比べて電源

電圧Ｖｄｄとグランドの電圧（ゼロ電圧）との中間値（Ｖｄｄ／２）に近くなるように設

定される。図１の例において、「所定の電圧」は、第１リミット電圧ＶＬ１より低い電圧

であるグランドの電圧（ゼロ電圧）に設定されている。すなわち、第１分圧回路２３は、

出力ラインＯＵＴと接地ラインＧＮＤとの間に直列接続された抵抗Ｒ１及びＲ２によって

構成されている。

　【００４４】

　また、第１制御回路２１Ａにおいて、第１差動増幅回路ＯＰ１は、第１しきい電圧ＴＨ

１と第１分圧電圧Ｖｏ１との差を増幅し、その出力を第１帰還制御トランジスタＭ３１の

ゲートに入力している。第１しきい電圧ＴＨ１は、第１分圧回路２３の分圧比と第１リミ

ット電圧ＶＬ１とに基づいて設定される電圧であり、次の式で表わされる。

　【００４５】

［数１］

　ＴＨ１＝（Ｒ１／（Ｒ１＋Ｒ２））×ＶＬ１　　…（１）

　【００４６】

　第１分圧電圧Ｖｏ１が第１しきい電圧ＴＨ１と等しくなったとき、出力電圧Ｖｏｕｔは

第１リミット電圧ＶＬ１と等しくなる。

　【００４７】

　第２制御回路２２Ａは、図１における第２制御回路２２と同様の構成（第２帰還制御ト

ランジスタＭ３２、第２差動増幅回路ＯＰ２）に加えて、第２分圧回路２４を有する。

　第２分圧回路２４は、所定の電圧と出力電圧Ｖｏｕｔとの間の分圧電圧（第２分圧電圧

Ｖｏ２）を発生する回路である。ここで「所定の電圧」は、出力電圧Ｖｏｕｔと第２リミ

ット電圧ＶＬ２とが等しい場合に、第２分圧電圧Ｖｏ２が出力電圧Ｖｏｕｔに比べて電源

電圧Ｖｄｄとグランドの電圧（ゼロ電圧）との中間値（Ｖｄｄ／２）に近くなるように設

定される。図１の例において、「所定の電圧」は、第２リミット電圧ＶＬ２より高い電圧

である電源電圧Ｖｄｄに設定されている。すなわち、第２分圧回路２４は、出力ラインＯ

ＵＴと電源ラインＶｄｄとの間に直列接続された抵抗Ｒ３及びＲ４によって構成されてい

る。

　【００４８】

　また、第２制御回路２２Ａおいて、第２差動増幅回路ＯＰ２は、第２しきい電圧ＴＨ２

と第２分圧電圧Ｖｏ２との差を増幅し、その出力を第２帰還制御トランジスタＭ３２のゲ

ートに入力している。第２しきい電圧ＴＨ２は、第２分圧回路２４の分圧比と第２リミッ

ト電圧ＶＬ２とに基づいて設定される電圧であり、次の式で表わされる。

　【００４９】

［数２］

　ＴＨ２＝（Ｒ３×Ｖｄｄ＋Ｒ４×ＶＬ１）／（Ｒ３＋Ｒ４）　　…（２）

　【００５０】

　第２分圧電圧Ｖｏ２が第２しきい電圧ＴＨ２と等しくなったとき、出力電圧Ｖｏｕｔは

第２リミット電圧ＶＬ２と等しくなる。

　【００５１】

　上述した構成を有する図２に示す出力回路におけるリミット動作は、図１に示す出力回

路とほぼ同様である。すなわち、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くな

った場合、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づくように第１出力トランジ

スタＭ１１が制御され、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなった場合

、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ近づくように第２出力トランジスタＭ１

２が制御される。

　【００５２】

　図１と図２に示す出力回路の相違点は、差動増幅回路（ＯＰ１）に分圧電圧（Ｖｏ１，

Ｖｏ２）が入力される点にある。分圧電圧（Ｖｏ１，Ｖｏ２）は、出力電圧Ｖｏｕｔがリ

ミット電圧（ＶＬ１，ＶＬ２）に達したとき、リミット電圧（ＶＬ１，ＶＬ２）に比べて

電源電圧Ｖｄｄの中間値（Ｖｄｄ／２）に近い電圧となる。

　【００５３】

　第１リミット電圧ＶＬ１は「Ｖｄｄ＞ＶＬ１＞Ｖｄｄ－｜Ｖｔｈ１｜」の範囲に含まれ

る電圧であり、電源電圧Ｖｄｄにかなり近い電圧である。また、第２リミット電圧ＶＬ２

は「Ｖｔｈ２＞ＶＬ２＞０」の範囲に含まれる電圧であり、グランドの電圧にかなり近い

電圧である。図１に示す出力回路では、このように電源電圧範囲の上限（Ｖｄｄ）や下限

（ゼロ電圧）に近い電圧を差動増幅回路（ＯＰ１，ＯＰ２）において増幅する必要がある

ため、差動増幅回路（ＯＰ１，ＯＰ２）の回路構成が複雑になるという問題がある。これ

に対し、図２に示す出力回路では、電源電圧Ｖｄｄの中間値（Ｖｄｄ／２）に近い電圧を

差動増幅回路（ＯＰ１，ＯＰ２）において増幅すればよいため、簡易な回路構成で差動増

幅を行うことができる。

　【００５４】

＜第３の実施形態＞

　次に、本発明の第３の実施形態について説明する。

　図３は、第３の実施形態に係る出力回路の構成の一例を示す図である。図３に示す出力

回路は、図２に示す出力回路における増幅回路１０を増幅回路１０Ａに置き換えたもので

あり、他の構成は図２に示す出力回路と同じである。

　【００５５】

　増幅回路１０Ａは、既に説明した増幅回路１０と同様な第１出力トランジスタＭ１１及

び第２出力トランジスタＭ１２を有するとともに、第１出力トランジスタＭ１１を定電流

源として動作させるバイアス回路１２を有する。第２出力トランジスタＭ１２は、ゲート

に入力される入力信号Ｓｉｎを増幅してドレイン（出力ラインＯＵＴ）から出力するソー

ス接地型の増幅回路として動作する。図３の例において、バイアス回路１２は、ＰＭＯＳ

型のトランジスタＭ１８と定電流源１２１を有する。トランジスタＭ１８のソースが電源

ラインＶｄｄに接続され、そのドレインとゲートが第１出力トランジスタＭ１１のゲート

に接続される。また、トランジスタＭ１８のドレインと接地ラインＧＮＤの間に定電流源

１２１が設けられ、トランジスタＭ１８のゲート－ソース電圧は定電流源１２１の電流に

応じた一定の電圧となる。トランジスタＭ１８と第１出力トランジスタＭ１１はカレント

ミラー回路を構成しており、第１出力トランジスタＭ１１のドレインには定電流源１２１

に流れる電流に応じた一定の電流が流れる。

　【００５６】

　図３に示す出力回路では、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなった

場合、第１帰還制御トランジスタＭ３１が導通して第１出力トランジスタＭ１１のゲート

電圧が上昇することにより、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づく方向に

変化する。また、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなった場合は、第

２帰還制御トランジスタＭ３２が導通して第２出力トランジスタＭ１２のゲート電圧が低

下することにより、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ近づく方向に変化する

。従って、既に述べた出力回路と同様に、消費電流の増大を抑制しつつ、出力電圧Ｖｏｕ

ｔの範囲を負帰還動作で精度よく制限することができる。

　【００５７】

＜第４の実施形態＞

　次に、本発明の第４の実施形態について説明する。

　図４は、第４の実施形態に係る出力回路の構成の一例を示す図である。図４に示す出力

回路は、図２に示す出力回路における増幅回路１０を増幅回路１０Ｂに置き換えたもので

あり、他の構成は図２に示す出力回路と同じである。

　【００５８】

　増幅回路１０Ｂは、ソースフォロワとして動作するＮＭＯＳ型の第１出力トランジスタ

Ｍ１３と、入力信号Ｓｉｎを増幅して第１出力トランジスタＭ１３のゲートに入力する増

幅段１３と、ＮＭＯＳ型の第２出力トランジスタＭ１２と、第２出力トランジスタＭ１２

を定電流源として動作させるバイアス回路１４とを有する。

　【００５９】

　第１出力トランジスタＭ１３は、そのドレインが電源ラインＶｄｄに接続され、そのソ

ースが出力ラインＯＵＴに接続される。また、第２出力トランジスタＭ１２は、そのドレ

インが出力ラインＯＵＴに接続され、そのソースが接地ラインＧＮＤに接続される。

　【００６０】

　増幅段１３は、例えば図４に示すように、ソース接地型の増幅回路として動作するＮＭ

ＯＳ型のトランジスタＭ１９と、トランジスタＭ１９のドレインと電源ラインＶｄｄの間

に負荷として接続された定電流源１３１を有する。トランジスタＭ１９のゲートに入力信

号Ｓｉｎが入力され、そのドレインが第１出力トランジスタＭ１３のゲートに接続される

。

　【００６１】

　バイアス回路１４は、ＮＭＯＳ型のトランジスタＭ２０と定電流源１４１を有する。ト

ランジスタＭ１９のソースが接地ラインＧＮＤに接続され、そのドレインとゲートが第２

出力トランジスタＭ１２のゲートに接続される。トランジスタＭ２０のドレインと電源ラ

インＶｄｄの間に定電流源１２１が設けられ、トランジスタＭ２０のゲート－ソース電圧

は定電流源１４１の電流に応じた一定の電圧となる。トランジスタＭ２０と第２出力トラ

ンジスタＭ１２はカレントミラー回路を構成しており、第２出力トランジスタＭ１２のド

レインには定電流源１４１に流れる電流に応じた一定の電流が流れる。

　【００６２】

　第１制御回路２１Ａの第１帰還制御トランジスタＭ３１は、増幅段１３のトランジスタ

Ｍ１９のゲートと出力ラインＯＵＴの間に接続される。第２制御回路２２Ａの第２帰還制

御トランジスタＭ３２は、第２出力トランジスタＭ１２のゲートと出力ラインＯＵＴの間

に接続される。

　【００６３】

　図４に示す出力回路では、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなった

場合、第１帰還制御トランジスタＭ３１が導通してトランジスタＭ１９のゲート電圧が上

昇し、トランジスタＭ１９のドレイン電圧（第１出力トランジスタＭ１３のゲート電圧）

が低下することにより、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づく方向に変化

する。また、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなった場合は、第２帰

還制御トランジスタＭ３２が導通して第２出力トランジスタＭ１２のゲート電圧が低下す

ることにより、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ近づく方向に変化する。従

って、既に述べた出力回路と同様に、消費電流の増大を抑制しつつ出力電圧Ｖｏｕｔの範

囲を精度よく制限することができる。

　【００６４】

＜第５の実施形態＞

　次に、本発明の第５の実施形態について説明する。

　図５は、第５の実施形態に係る出力回路の構成の一例を示す図である。図５に示す出力

回路は、図２に示す出力回路における増幅回路１０を増幅回路１０Ｃに置き換えたもので

あり、他の構成は図２に示す出力回路と同じである。

　【００６５】

　増幅回路１０Ｃは、これまで説明した増幅回路１０，１０Ａ，１０Ｂと異なり、バイポ

ーラトランジスタで構成される。増幅回路１０Ｃは、出力段を構成するトランジスタとし

て、ＮＰＮ型の第１出力トランジスタＱ１１と、ＰＮＰ型の第２出力トランジスタＱ１２

を有する。第１出力トランジスタＱ１１は電源ラインＶｄｄと出力ラインＯＵＴの間の電

流経路に設けられ、第２出力トランジスタＱ１２は出力ラインＯＵＴと接地ラインＧＮＤ

との間の電流経路に設けられる。具体的には、第１出力トランジスタＱ１１のコレクタが

電源ラインＶｄｄに接続され、そのソースが出力ラインＯＵＴに接続される。第２出力ト

ランジスタＱ１２のソースが出力ラインＯＵＴに接続され、そのコレクタが接地ラインＧ

ＮＤに接続される。第１出力トランジスタＱ１１及び第２出力トランジスタＱ１２は、そ

れぞれエミッタフォロワとして動作する。

　【００６６】

　また、増幅回路１０Ｃは、出力段の第１出力トランジスタＱ１１及び第２出力トランジ

スタＱ１２を入力信号Ｓｉｎに応じて相補的に動作させる相補駆動回路１５を有する。図

５の例において、相補駆動回路１５は、ＰＮＰ型のトランジスタＱ１３，Ｑ１４と、ＮＰ

Ｎ型のトランジスタＱ１５と、ダイオードＤ１，Ｄ２を有する。トランジスタＱ１３のソ

ースが電源ラインＶｄｄに接続され、そのコレクタが第１出力トランジスタＱ１１のベー

スに接続される。トランジスタＱ１３のベースには一定のバイアス電圧Ｖｂ２が印加され

る。ダイオードＤ１及びＤ２は、第１出力トランジスタＱ１１のベースと第２出力トラン

ジスタＱ１２のベースとの間に直列に接続される。トランジスタＱ１４のコレクタは第２

出力トランジスタＱ１２のベースに接続され、そのエミッタは接地ラインＧＮＤに接続さ

れる。トランジスタＱ１５のコレクタはトランジスタＱ１４のベースに接続され、そのエ

ミッタは接地ラインＧＮＤに接続される。トランジスタＱ１５のベースに入力信号Ｓｉｎ

が入力される。

　【００６７】

　トランジスタＱ１３は、ベースに入力されるバイアス電圧Ｖｂ２に応じたほぼ一定の電

流が流れる定電流源として動作する。第１出力トランジスタＱ１１のベースと第２出力ト

ランジスタＱ１２のベースとの電圧差は、直列接続されたダイオードＤ１及びＤ２の順方

向電圧によってほぼ一定となる。そのため、入力信号Ｓｉｎに応じてトランジスタＱ１５

のコレクタ電流（トランジスタＱ１４のベース電流）が変化すると、これに応じてトラン

ジスタＱ１４のコレクタ電圧が変化し、第１出力トランジスタＱ１１及び第２出力トラン

ジスタＱ１２のベース電圧が共に変化する。

　入力信号Ｓｉｎの電圧が上昇した場合、トランジスタＱ１４のベース電流が増大するこ

とによりトランジスタＱ１４のコレクタ電圧が低下し、第１出力トランジスタＱ１１及び

第２出力トランジスタＱ１２のベース電圧が低下し、出力電圧Ｖｏｕｔが低下する。入力

信号Ｓｉｎの電圧が低下した場合は、上記と逆の動作により第１出力トランジスタＱ１１

及び第２出力トランジスタＱ１２のベース電圧が上昇し、出力電圧Ｖｏｕｔが上昇する。

従って、第１出力トランジスタＱ１１と第２出力トランジスタＱ１２は、入力信号Ｓｉｎ

に応じて相補的に動作する。

　【００６８】

　図５に示す出力回路では、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなった

場合、第１帰還制御トランジスタＭ３１が導通してトランジスタＱ１３のベース電圧が上

昇し、トランジスタＱ１３のコレクタ電圧が低下し、第１出力トランジスタＱ１１のベー

ス電圧が低下することにより、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づく方向

へ変化する。

　また、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなった場合は、第２帰還制

御トランジスタＭ３２が導通してトランジスタＱ１５のベース電圧が低下し、トランジス

タＱ１５のコレクタ電流（トランジスタＱ１４のベース電流）が減少し、トランジスタＱ

１４のエミッタ電圧が上昇し、第１出力トランジスタＱ１３及び第２出力トランジスタＱ

１２のベース電圧が上昇することにより、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ

近づく方向へ変化する。従って、既に述べた出力回路と同様に、消費電流の増大を抑制し

つつ、出力電圧Ｖｏｕｔの範囲を負帰還動作で精度よく制限することができる。

　【００６９】

＜第６の実施形態＞

　次に、本発明の第６の実施形態について説明する。

　図６は、第６の実施形態に係る出力回路の構成の一例を示す図である。図６に示す出力

回路は、図１に示す出力回路におけるリミッタ制御回路２０をリミッタ制御回路２０Ｂに

置き換えたものであり、他の構成は図１に示す出力回路と同じである。

　【００７０】

　リミッタ制御回路２０Ｂは、出力段のトランジスタ（Ｍ１，Ｍ２）の制御を行う第１制

御回路２１Ｂと第２制御回路２２Ｂを有する。

　【００７１】

　第１制御回路２１Ｂは、図２における第１制御回路２１Ａと同様の構成（第１帰還制御

トランジスタＭ３１，第１差動増幅回路ＯＰ１，第１分圧回路２３）に加えて、ＰＭＯＳ

型の第３帰還制御トランジスタＭ３３を有する。第３帰還制御トランジスタＭ３３は、第

２出力トランジスタＭ１２のゲートと電源ラインＶｄｄとの間に設けられており、出力電

圧Ｖｏｕｔが第１リミット電圧ＶＬ１より上昇した場合、第１差動増幅回路ＯＰ１の出力

信号に応じて第２出力トランジスタＭ１２のゲートの電圧を制御する。第３帰還制御トラ

ンジスタＭ３３のソースは電源ラインＶｄｄに接続され、そのドレインは第２出力トラン

ジスタＭ１２のゲートに接続され、そのゲートには第１差動増幅回路ＯＰ１の出力信号が

入力される。

　【００７２】

　第２制御回路２２Ｂは、図２における第１制御回路２２Ａと同様の構成（第２帰還制御

トランジスタＭ３２，第２差動増幅回路ＯＰ２，第２分圧回路２４）に加えて、ＮＭＯＳ

型の第４帰還制御トランジスタＭ３４を有する。第４帰還制御トランジスタＭ３４は、第

１出力トランジスタＭ１１のゲートと接地ラインＧＮＤとの間に設けられており、出力電

圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低下した場合、第２差動増幅回路ＯＰ２の出力

信号に応じて第１出力トランジスタＭ１１のゲートの電圧を制御する。第４帰還制御トラ

ンジスタＭ３４のソースは接地ラインＧＮＤに接続され、そのドレインは第１出力トラン

ジスタＭ１１のゲートに接続され、そのゲートには第２差動増幅回路ＯＰ２の出力信号が

入力される。

　【００７３】

　上述した構成を有する第１制御回路２１Ｂ，第２制御回路２２Ｂでは、次のように出力

電圧Ｖｏｕｔのリミット動作が行われる。

　【００７４】

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より低い場合、第１差動増幅回路ＯＰ１の

出力電圧はハイレベル（Ｖｄｄ）となり、第１帰還制御トランジスタＭ３１及び第３帰還

制御トランジスタＭ３３は共にオフ状態となるため、第１制御回路２１による出力電圧Ｖ

ｏｕｔのリミット動作は働かない。

　【００７５】

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなると、第１差動増幅回路ＯＰ１

の出力電圧が低下し、第１帰還制御トランジスタＭ３１及び第３帰還制御トランジスタＭ

３３がオフ状態から導通状態へ変化する。電圧差「Ｖｏｕｔ－ＶＬ１」が大きくなるほど

、第１帰還制御トランジスタＭ３１及び第３帰還制御トランジスタＭ３３のインピーダン

スが小さくなる。ここで、第１帰還制御トランジスタＭ３１のインピーダンスが小さくな

ることにより第１出力トランジスタＭ１１のゲート電圧Ｖｇ１が上昇する点は、既に説明

したリミッタ制御回路２０，２０Ａと同じである。リミッタ制御回路２０Ｂでは、この動

作に加えて、第３帰還制御トランジスタＭ３３のインピーダンスが小さくなることにより

第２出力トランジスタＭ１２のゲート電圧Ｖｇ２が上昇する。ゲート電圧Ｖｇ２が上昇す

ると、第２出力トランジスタＭ１２のドレイン電流が増える（インピーダンスが小さくな

る）ため、出力電圧Ｖｏｕｔの低下方向への変化が付勢される。

　【００７６】

　ゲート電圧Ｖｇ１は電源電圧Ｖｄｄに比較的近い電圧（Ｖｄｄ－｜Ｖｔｈ１｜）である

ため、第１帰還制御トランジスタＭ３１を通じて出力電圧Ｖｏｕｔを与えるだけでは十分

にゲート電圧Ｖｇ１を上昇させることができず、出力電圧Ｖｏｕｔを第１リミット電圧Ｖ

Ｌ１まで低下させることが難しい場合がある。第２制御回路２２Ｂでは、電源ラインＶｄ

ｄに接続された第３帰還制御トランジスタＭ３３が導通することによって第２出力トラン

ジスタＭ１２のゲート電圧Ｖｇ２が上昇し、第２出力トランジスタＭ１２のドレイン電流

が増大し、出力電圧Ｖｏｕｔの低下方向への変化が助長される。そのため、第１出力トラ

ンジスタＭ１１のゲート電圧Ｖｇ１が電源電圧Ｖｄｄに近い場合でも、出力電圧Ｖｏｕｔ

の上限値を精度よく第１リミット電圧ＶＬ１に制御することができる。

　【００７７】

　一方、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より高い場合、第２差動増幅回路Ｏ

Ｐ２の出力電圧はローレベル（ＧＮＤ）となり、第２帰還制御トランジスタＭ３２及び第

４帰還制御トランジスタＭ３４は共にオフ状態となるため、第２制御回路２２による出力

電圧Ｖｏｕｔのリミット動作は働かない。

　【００７８】

　出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなると、第２差動増幅回路ＯＰ２

の出力電圧が低下し、第２帰還制御トランジスタＭ３２及び第４帰還制御トランジスタＭ

３４がオフ状態から導通状態へ変化する。電圧差「ＶＬ２－Ｖｏｕｔ」が大きくなるほど

、第２帰還制御トランジスタＭ３２及び第４帰還制御トランジスタＭ３４のインピーダン

スが小さくなる。ここで、第２帰還制御トランジスタＭ３２のインピーダンスが小さくな

ることにより第２出力トランジスタＭ１２のゲート電圧Ｖｇ２が低下する点は、既に説明

したリミッタ制御回路２０，２０Ａと同じである。リミッタ制御回路２０Ｂでは、この動

作に加えて、第４帰還制御トランジスタＭ３４のインピーダンスが小さくなることにより

第１出力トランジスタＭ１１のゲート電圧Ｖｇ１が低下する。ゲート電圧Ｖｇ１が低下す

ると、第１出力トランジスタＭ１１のドレイン電流が増える（インピーダンスが小さくな

る）ため、出力電圧Ｖｏｕｔの上昇方向への変化が付勢される。

　【００７９】

　ゲート電圧Ｖｇ２はグランドの電圧（ゼロ電圧）に比較的近い電圧（Ｖｔｈ２）である

ため、第３帰還制御トランジスタＭ３３を通じて出力電圧Ｖｏｕｔを与えるだけでは十分

にゲート電圧Ｖｇ２を低下させることができず、出力電圧Ｖｏｕｔを第２リミット電圧Ｖ

Ｌ２まで上昇させることが難しい場合がある。第２制御回路２２Ｂでは、接地ラインＧＮ

Ｄに接続された第４帰還制御トランジスタＭ３４が導通することによって第１出力トラン

ジスタＭ１１のゲート電圧Ｖｇ１が低下し、第１出力トランジスタＭ１１のドレイン電流

が増大し、出力電圧Ｖｏｕｔの上昇方向への変化が助長される。そのため、第２出力トラ

ンジスタＭ１２のゲート電圧Ｖｇ２が電源電圧Ｖｄｄに近い場合でも、出力電圧Ｖｏｕｔ

の下限値を精度よく第２リミット電圧ＶＬ２に制御することができる。

　【００８０】

　このように、本実施形態に係る出力回路によれば、出力電圧Ｖｏｕｔのリミット動作を

行う場合に、出力段を構成する出力トランジスタ（Ｍ１１，Ｍ２２）をそれぞれ帰還制御

することにより、更に精度よく出力電圧Ｖｏｕｔの範囲を制限することができる。

　【００８１】

＜第７の実施形態＞

　次に、本発明の第７の実施形態について説明する。

　図７は、第７の実施形態に係る出力回路の構成の一例を示す図である。図７に示す出力

回路は、図１に示す出力回路におけるリミッタ制御回路２０をリミッタ制御回路２０Ｃに

置き換えたものであり、他の構成は図１に示す出力回路と同じである。

　【００８２】

　リミッタ制御回路２０Ｃは、出力段のトランジスタ（Ｍ１，Ｍ２）の制御を行う第１制

御回路２１Ｃと第２制御回路２２Ｃを有する。

　【００８３】

　第１制御回路２１Ｃは、ＰＭＯＳ型の帰還制御トランジスタＭ３５と第１差動増幅回路

ＯＰ１を有する。

　第１差動増幅回路ＯＰ１は、既に説明した第１制御回路２１に含まれる同一符号の構成

要素と同じである。

　帰還制御トランジスタＭ３５は、第１出力トランジスタＭ１１のゲートと電源ラインＶ

ｄｄとの間に設けられており、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より上昇した

場合、第１出力トランジスタＭ１１のゲート電圧Ｖｇ１を第１差動増幅回路ＯＰ１の出力

信号に応じて制御する。帰還制御トランジスタＭ３５のドレインが第１出力トランジスタ

Ｍ１１のゲートに接続され、そのソースが電源ラインＶｄｄに接続され、そのゲートが第

１差動増幅回路ＯＰ１の出力に接続される。

　【００８４】

　第２制御回路２２Ｃは、ＮＭＯＳ型の帰還制御トランジスタＭ３６と第２差動増幅回路

ＯＰ２を有する。

　第２差動増幅回路ＯＰ２は、既に説明した第２制御回路２２に含まれる同一符号の構成

要素と同じである。

　帰還制御トランジスタＭ３６は、第２出力トランジスタＭ１２のゲートと接地ラインＧ

ＮＤとの間に設けられており、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低下した

場合、第２出力トランジスタＭ１２のゲート電圧Ｖｇ２を第２差動増幅回路ＯＰ２の出力

信号に応じて制御する。帰還制御トランジスタＭ３６のドレインが第２出力トランジスタ

Ｍ１２のゲートに接続され、そのソースが接地ラインＧＮＤに接続され、そのゲートが第

２差動増幅回路ＯＰ２の出力に接続される。

　【００８５】

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より低い場合、第１差動増幅回路ＯＰ１の

出力電圧はハイレベル（Ｖｄｄ）となり、帰還制御トランジスタＭ３５はオフ状態となる

。この場合、第１制御回路２１Ｃによる出力電圧Ｖｏｕｔのリミット動作は働かない。

　【００８６】

　出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より高くなると、第１差動増幅回路ＯＰ１

の出力電圧が低下し、帰還制御トランジスタＭ３５がオフ状態から導通状態へ変化する。

電圧差「Ｖｏｕｔ－ＶＬ１」が大きくなるほど、帰還制御トランジスタＭ３５のインピー

ダンスが小さくなり、第１出力トランジスタＭ１１のゲート電圧Ｖｇ１が電源電圧Ｖｄｄ

に向かって上昇する。ゲート電圧Ｖｇ１が上昇すると、第１出力トランジスタＭ１１のド

レイン電流が減少して、出力電圧Ｖｏｕｔの上昇が抑制される。そのため、出力電圧Ｖｏ

ｕｔは、第１リミット電圧ＶＬ１より高くなると急激に上昇が抑制され、ほぼ第１リミッ

ト電圧ＶＬ１に固定される。

　【００８７】

　他方、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より高い場合、第２差動増幅回路Ｏ

Ｐ２の出力電圧はローレベル（ＧＮＤ）となり、帰還制御トランジスタＭ３６はオフ状態

となる。この場合、第２制御回路２２Ｃによる出力電圧Ｖｏｕｔのリミット動作は働かな

い。

　【００８８】

　出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低くなると、第２差動増幅回路ＯＰ２

の出力電圧が低下し、帰還制御トランジスタＭ３６がオフ状態から導通状態へ変化する。

電圧差「ＶＬ２－Ｖｏｕｔ」が大きくなるほど、帰還制御トランジスタＭ３６のインピー

ダンスが小さくなり、第２出力トランジスタＭ１２のゲート電圧Ｖｇ２がグランドの電圧

（ゼロ電圧）に向かって低下する。ゲート電圧Ｖｇ２が低下すると、第２出力トランジス

タＭ１２のドレイン電流が減少して、出力電圧Ｖｏｕｔの低下が抑制される。そのため、

出力電圧Ｖｏｕｔは、第２リミット電圧ＶＬ２より低くなると急激に低下が抑制され、ほ

ぼ第２リミット電圧ＶＬ２に固定される。

　【００８９】

　以上説明したように、本実施形態に係る出力回路によれば、出力電圧Ｖｏｕｔが第１リ

ミット電圧ＶＬ１より上昇した場合、出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１へ近づ

くように第１出力トランジスタＭ１１が制御され、出力電圧Ｖｏｕｔが第２リミット電圧

ＶＬ２より低下した場合、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２へ近づくように第

２出力トランジスタＭ１２が制御される。従って、上述した各実施形態の出力回路と同様

に、消費電流の増大を抑制しつつ、出力電圧Ｖｏｕｔの範囲を負帰還動作で精度よく制限

することができる。

　【００９０】

＜第８の実施形態＞

　次に、本発明の第８の実施形態について説明する。

　本実施形態は、本発明に係る出力回路を用いた磁気平衡式の電流センサに関するもので

ある。

　【００９１】

　図８は、本実施形態に係る電流センサの構成の一例を示す図である。図８に示す電流セ

ンサは、導体５に流れる被測定電流Ｉｓによる磁界に応じた検出信号Ｓ３０を出力する磁

気センサ３０と、磁気センサ３０に作用する被測定電流Ｉｓによる磁界を打ち消す方向に

磁界を発生するコイル４０と、コイル駆動回路５０と、シャント抵抗Ｒｓと、増幅回路６

０とを有する。

　【００９２】

　図８の例において、磁気センサ３０は、ブリッジ回路３１を構成する４つの磁気抵抗効

果素子（ＭＲ１～ＭＲ４）と、ブリッジ回路３１に一定の電流を供給する定電流源３２を

有する。検出信号Ｓ３０は、被測定電流Ｉｓによる磁界とコイル４０に流れる電流Ｉｄに

よる磁界とが平衡する場合、所定の基準レベルとなる。２つの磁界が平衡していない場合

、検出信号Ｓ３０は、２つの磁界の大小に応じて、基準レベルより大きくなるか又は小さ

くなる。

　【００９３】

　コイル駆動回路５０は、磁気センサ３０から出力される検出信号Ｓ３０に応じて、磁気

センサ３０に作用する被測定電流Ｉｓによる磁界とコイル４０に流れる電流Ｉｄによる磁

界とが平衡するようにコイル４０を駆動する。すなわち、コイル駆動回路５０は、検出信

号Ｓ３０のレベルが上述した基準レベルと等しくなるように、コイル４０の電流Ｉｄを負

帰還制御する。

　【００９４】

　コイル４０の電流Ｉｄは、被測定電流Ｉｓにほぼ比例しており、被測定電流Ｉｓの測定

結果を表す。この電流Ｉｄは、例えば図８において示すように、コイル４０に設けたシャ

ント抵抗Ｒｓに発生する電圧Ｖｓとして出力される。

　【００９５】

　増幅回路６０は、コイル４０に流れる電流Ｉｄに応じてシャント抵抗Ｒｓに発生する電

圧Ｖｓを増幅し、増幅結果を電圧Ｖｏｕｔとして出力する。この増幅回路６０は、出力電

圧Ｖｏｕｔを所定の範囲に制限するため、上述した本発明の実施形態に係る出力回路を有

する。例えば増幅回路６０は、半導体ＩＣの内部に形成されており、半導体ＩＣの外側の

図示しないコントローラ等に増幅結果の電圧Ｖｏｕｔを出力する。増幅回路６０の出力電

圧Ｖｏｕｔを一定の範囲内に制限することによって、当該範囲外の出力電圧Ｖｏｕｔを半

導体ＩＣの異常通知機能に利用可能となる。例えば、半導体ＩＣの内部に設けた異常検知

回路が、異常検知時に出力電圧Ｖｏｕｔを強制的に増幅回路６０の制限範囲外にすること

で、異常通知用の専用端子を設けることなく、半導体ＩＣの外側に異常の発生を通知でき

る。

　【００９６】

　以上、本発明の幾つかの実施形態について説明したが、本発明は上述した実施形態に限

定されるものではなく、種々のバリエーションを含んでいる。すなわち、上述した実施形

態において挙げられている回路構成は一例であり、同様な機能を実現する他の回路に置き

換えることができる。回路を構成するトランジスタはＭＯＳ型に限定されるものではなく

、パイポーラ型などの他の種類のトランジスタを用いてもよい。

　【００９７】

　また、上述した実施形態において例として挙げた増幅回路（１０，１０Ａ，１０Ｂ，１

０Ｃ）とリミッタ制御回路（２０，２０Ａ，２０Ｂ，２０Ｃ）との組み合わせは図１～図

７に示す例に限定されるものではなく、他の組み合わせも本発明の実施形態に含まれる。

　【００９８】

　また、上述した実施形態では２つの電源ラインの一方が電源電圧Ｖｄｄを供給し、他方

がグランド電圧を供給する例を挙げているが、本発明はこの例に限定されない。本発明の

他の実施形態では、グランド電圧に対して正の電圧を供給する電源ラインと負の電圧を供

給する電源ラインをそれぞれ有していてもよい。その場合、正負の２つの電源ラインと出

力ラインとの間にそれぞれ設けられた出力トランジスタを制御して、出力電圧が所定の範

囲内に制限されるようにしてもよい。

【符号の説明】

　【００９９】

　１０，１０Ａ，１０Ｂ，１０Ｃ…増幅回路、１１，１５…相補駆動回路、１２，１４…

バイアス回路、１３…増幅段、２０，２０Ａ，２０Ｂ，２０Ｃ…リミッタ制御回路、２１

，２１Ａ，２１Ｂ，２１Ｃ…第１制御回路、２２，２２Ａ，２２Ｂ，２２Ｃ…第２制御回

路、

２３…第１分圧回路、２４…第２分圧回路、３０…磁気センサ、４０…コイル、５０…コ

イル駆動回路、６０…増幅回路、Ｍ１１，Ｍ１３，Ｑ１１…第１出力トランジスタ、Ｍ１

２，Ｑ１２…第２出力トランジスタ、Ｍ３１…第１帰還制御トランジスタ、Ｍ３２…第２

帰還制御トランジスタ、Ｍ３３…第３帰還制御トランジスタ、Ｍ３４…第４帰還制御トラ

ンジスタ、Ｍ３５，Ｍ３６…帰還制御トランジスタ、ＯＰ１…第１差動増幅回路、ＯＰ２

…第２差動増幅回路、Ｒｓ…シャント抵抗、ＶＬ１…第１リミット電圧、ＶＬ２…第２リ

ミット電圧、ＴＨ１…第１しきい電圧、ＴＨ２…第２しきい電圧、Ｖｏ１…第１分圧電圧

、Ｖｏ２…第２分圧電圧。

【書類名】特許請求の範囲

【請求項１】

　入力信号に応じたアナログ信号を出力ラインへ出力する出力回路であって、

　少なくとも１つの電源ラインと前記出力ラインとの間の電流経路に設けられた少なくと

も１つの出力トランジスタと、

　前記出力ラインに生じる出力電圧が所定のリミット電圧より上昇又は低下した場合、前

記出力電圧が前記リミット電圧へ近づくように前記出力トランジスタを制御する少なくと

も１つの制御回路と

　を具備することを特徴とする出力回路。

【請求項２】

　前記制御回路は、

　　前記出力電圧と前記リミット電圧との差を増幅する差動増幅回路と、

　　前記出力トランジスタの制御端子へ信号を伝達する信号経路と前記出力ラインとの間

に設けられており、前記出力電圧が前記リミット電圧より上昇又は低下した場合、前記出

力ラインから前記信号経路への帰還信号を前記差動増幅回路の出力信号に応じて制御する

帰還制御トランジスタとを有する

　ことを特徴とする請求項１に記載の出力回路。

【請求項３】

　前記制御回路は、所定の電圧と前記出力電圧との間の分圧電圧を発生する分圧回路を有

し、

　前記差動増幅回路は、前記リミット電圧と前記分圧回路の分圧比とに基づいて設定され

たしきい電圧と前記分圧電圧との差を増幅し、

　前記所定の電圧は、前記出力電圧と前記リミット電圧とが等しい場合に前記分圧電圧が

前記出力電圧に比べて電源の最高電圧と最低電圧との中間の電圧に近くなるように設定さ

れる

　ことを特徴とする請求項２に記載の出力回路。

【請求項４】

　第１電源ラインと前記出力ラインとの間の電流経路に設けられた第１出力トランジスタ

と、

　前記第１電源ラインより低電圧の第２電源ラインと前記出力ラインとの間の電流経路に

設けられた第２出力トランジスタと、

　前記出力電圧が第１リミット電圧より上昇した場合、前記出力電圧が前記第１リミット

電圧へ近づくように前記第１出力トランジスタを制御する第１制御回路と、

　前記出力電圧が第２リミット電圧より低下した場合、前記出力電圧が前記第２リミット

電圧へ近づくように前記第２出力トランジスタを制御する第２制御回路とを備え、

　前記第１制御回路は、

　　前記出力電圧と前記第１リミット電圧との差を増幅する第１差動増幅回路と、

　　前記第１出力トランジスタの制御端子へ信号を伝達する信号経路と前記出力ラインと

の間に設けられており、前記出力電圧が前記第１リミット電圧より上昇した場合、前記出

力ラインから当該信号経路への帰還信号を前記第１差動増幅回路の出力信号に応じて制御

する第１帰還制御トランジスタとを有し、

　前記第２制御回路は、

　　前記出力電圧と前記第２リミット電圧との差を増幅する第２差動増幅回路と、

　　前記第２出力トランジスタの制御端子へ信号を伝達する信号経路と前記出力ラインと

の間に設けられており、前記出力電圧が前記第２リミット電圧より低下した場合、前記出

力ラインから当該信号経路への帰還信号を前記第２差動増幅回路の出力信号に応じて制御

する第２帰還制御トランジスタとを有する

　ことを特徴とする請求項１に記載の出力回路。

【請求項５】

　前記第１制御回路は、前記第１リミット電圧より低い所定の電圧と前記出力電圧との間

の第１分圧電圧を発生する第１分圧回路を有し、

　前記第１差動増幅回路は、前記第１リミット電圧と前記第１分圧回路の分圧比とに基づ

いて設定された第１しきい電圧と前記第１分圧電圧との差を増幅し、

　前記第２制御回路は、前記第２リミット電圧より高い所定の電圧と前記出力電圧との間

の第２分圧電圧を発生する第２分圧回路を有し、

　前記第２差動増幅回路は、前記第２リミット電圧と前記第２分圧回路の分圧比とに基づ

いて設定された第２しきい電圧と前記第２分圧電圧との差を増幅する

　ことを特徴とする請求項４に記載の出力回路。

【請求項６】

　前記制御回路は、

　　前記第２出力トランジスタの制御端子と前記第１電源ラインとの間に設けられており

、前記出力電圧が前記第１リミット電圧より上昇した場合、前記第１差動増幅回路の出力

信号に応じて前記第２出力トランジスタの制御端子の電圧を制御する第３帰還制御トラン

ジスタ、及び、

　　前記第１出力トランジスタの制御端子と前記第２電源ラインとの間に設けられており

、前記出力電圧が前記第２リミット電圧より低下した場合、前記第２差動増幅回路の出力

信号に応じて前記第１出力トランジスタの制御端子の電圧を制御する第４帰還制御トラン

ジスタの少なくとも一方を有する

　ことを特徴とする請求項４又は５の何れか一項に記載の出力回路。

【請求項７】

　前記第１出力トランジスタ及び前記第２出力トランジスタを前記入力信号に応じて相補

的に動作させる相補駆動回路を有する

　ことを特徴とする請求項４乃至６の何れか一項に記載の出力回路。

【請求項８】

　前記第１出力トランジスタ及び前記第２出力トランジスタの一方を定電流源として動作

させるバイアス回路を有する

　ことを特徴とする請求項４乃至６の何れか一項に記載の出力回路。

【請求項９】

　前記制御回路は、

　　前記出力電圧と前記リミット電圧との差を増幅する差動増幅回路と、

　　前記出力トランジスタの制御端子へ信号を伝達する信号経路と所定の電圧が供給され

る電圧供給ラインとの間に設けられており、前記出力電圧が前記リミット電圧より上昇又

は低下した場合、前記差動増幅回路の出力信号に応じて前記信号経路の電圧を制御する帰

還制御トランジスタとを有する

　ことを特徴とする請求項１に記載の出力回路。

【請求項１０】

　被測定電流による磁界に応じた検出信号を出力する磁気センサと、

　前記磁気センサに作用する前記被測定電流による磁界を打ち消す方向に磁界を発生する

コイルと、

　前記検出信号に応じて、前記磁気センサに作用する前記被測定電流による磁界と前記コ

イルに流れる電流による磁界とが平衡するよう前記コイルを駆動するコイル駆動回路と、

　前記コイルに流れる電流を検出する抵抗と、

　前記抵抗に生じる電圧を増幅する増幅回路と

　を備え、

　前記増幅回路が、請求項１乃至請求項９の何れか一項に記載した出力回路を有する

　ことを特徴とする電流センサ。

【書類名】要約書

【要約】

【課題】消費電力の増大を抑制しつつ出力電圧の範囲を精度良く制限できる出力回路を提

供する。

【解決手段】出力電圧Ｖｏｕｔが第１リミット電圧ＶＬ１より上昇した場合、出力電圧Ｖ

ｏｕｔが第１リミット電圧ＶＬ１へ近づくように第１出力トランジスタＭ１１が制御され

、出力電圧Ｖｏｕｔが第２リミット電圧ＶＬ２より低下した場合、出力電圧Ｖｏｕｔが第

２リミット電圧ＶＬ２へ近づくように第２出力トランジスタＭ１２が制御される。これに

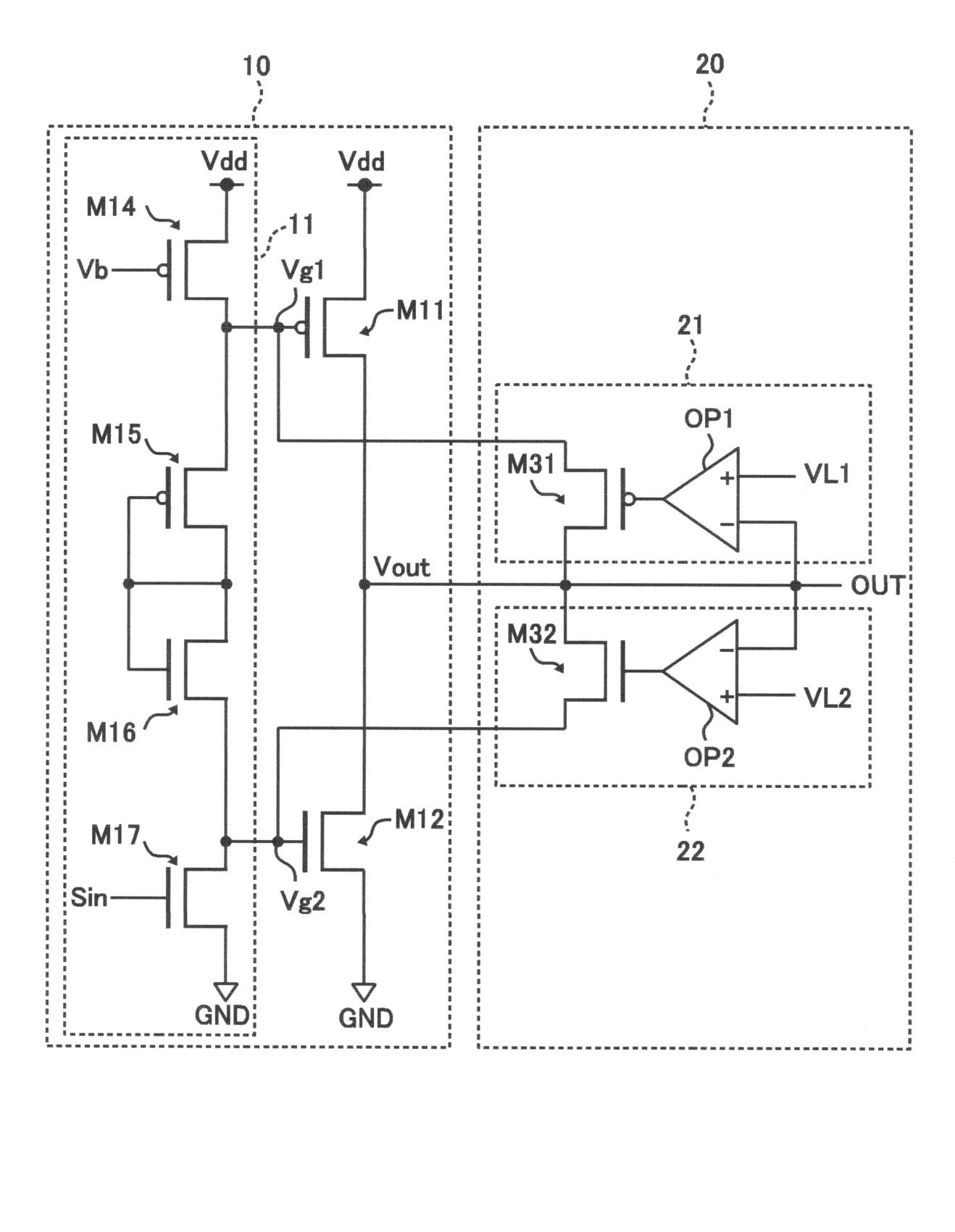
より、従来の電圧リミッタ回路のようにリミッタ動作時の出力電流を増大させることなく

出力電圧Ｖｏｕｔの範囲を制限できるため、消費電力の増大を抑えることができる。

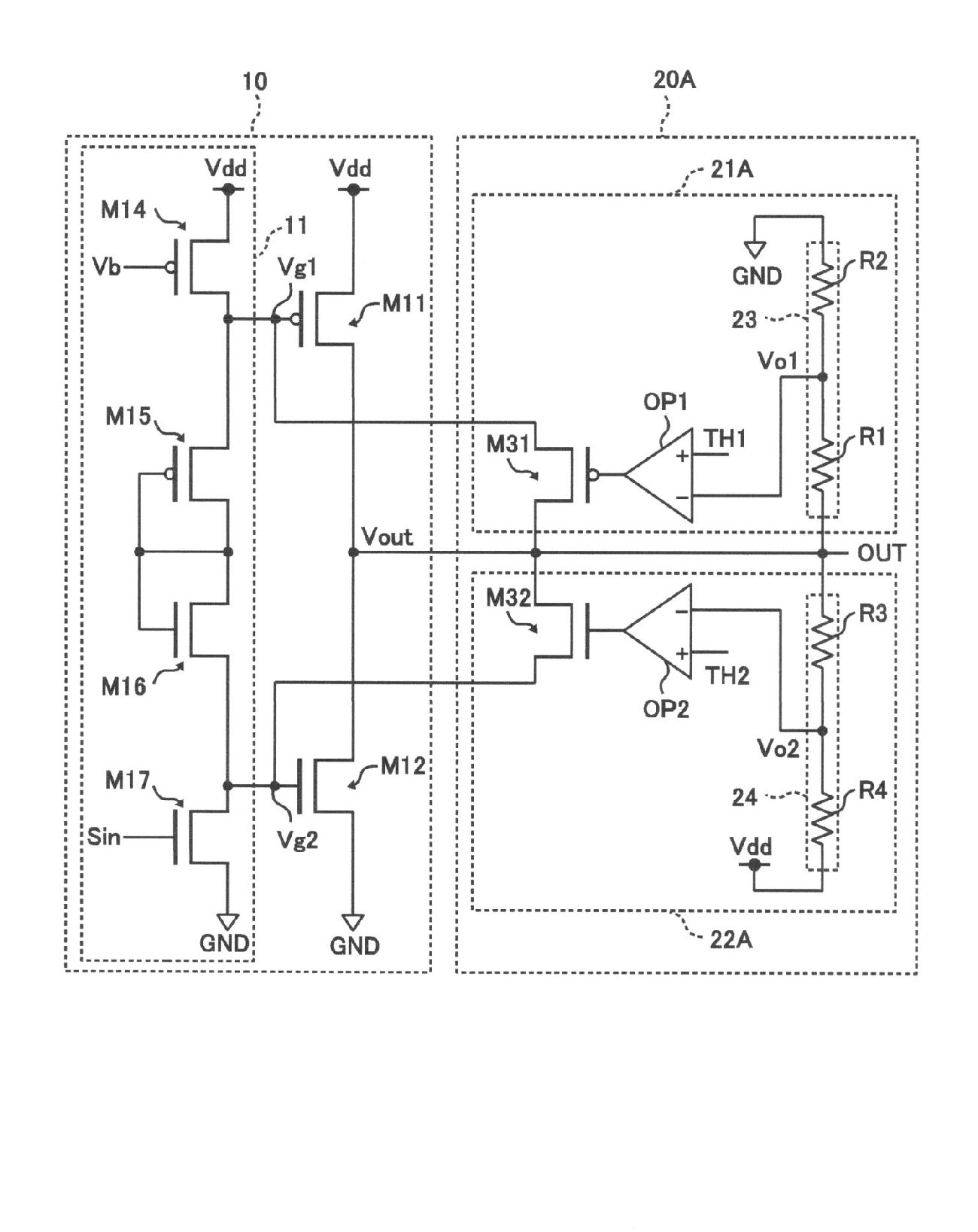
【選択図】図１

【書類名】図面

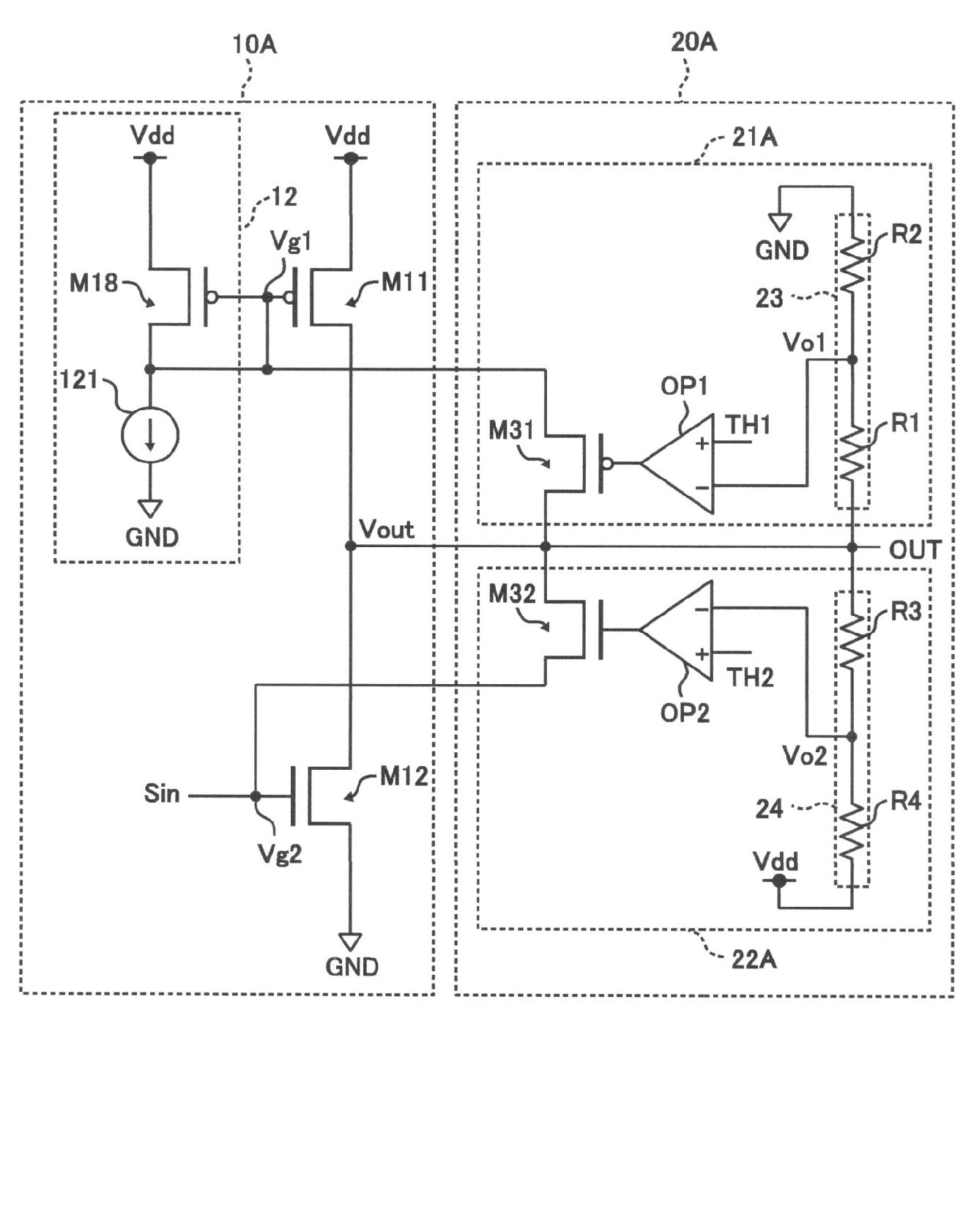
【図１】



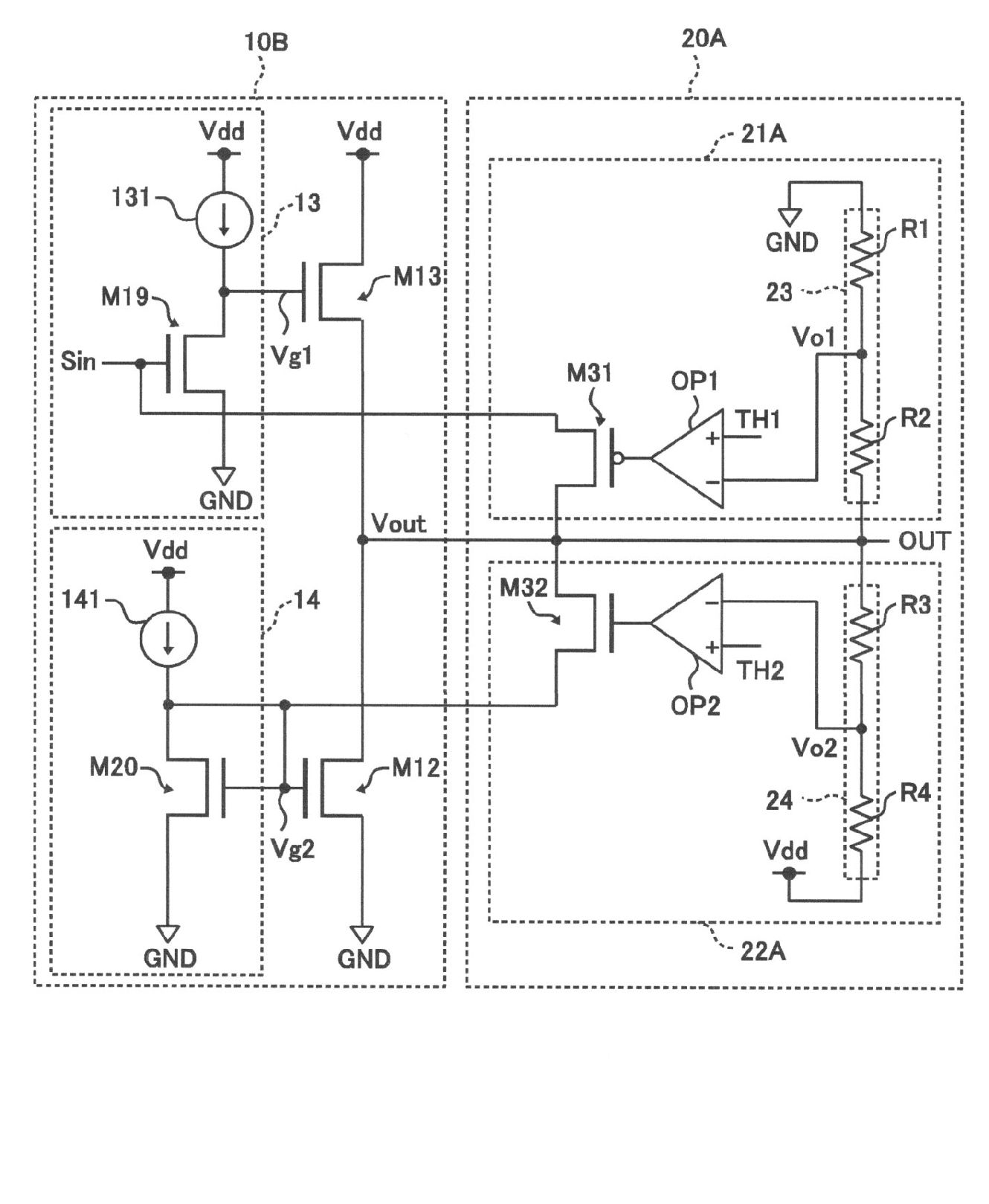
【図２】



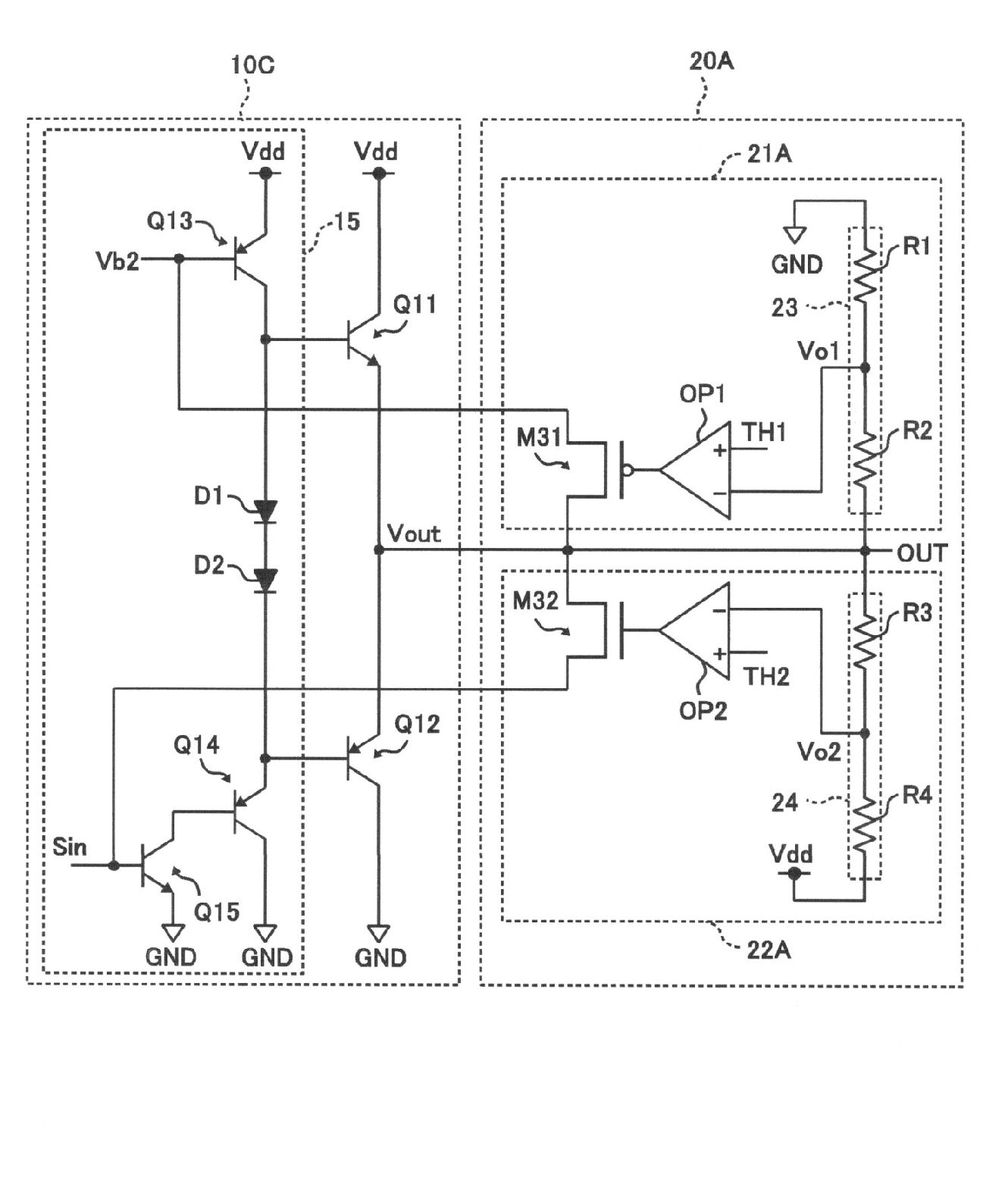
【図３】



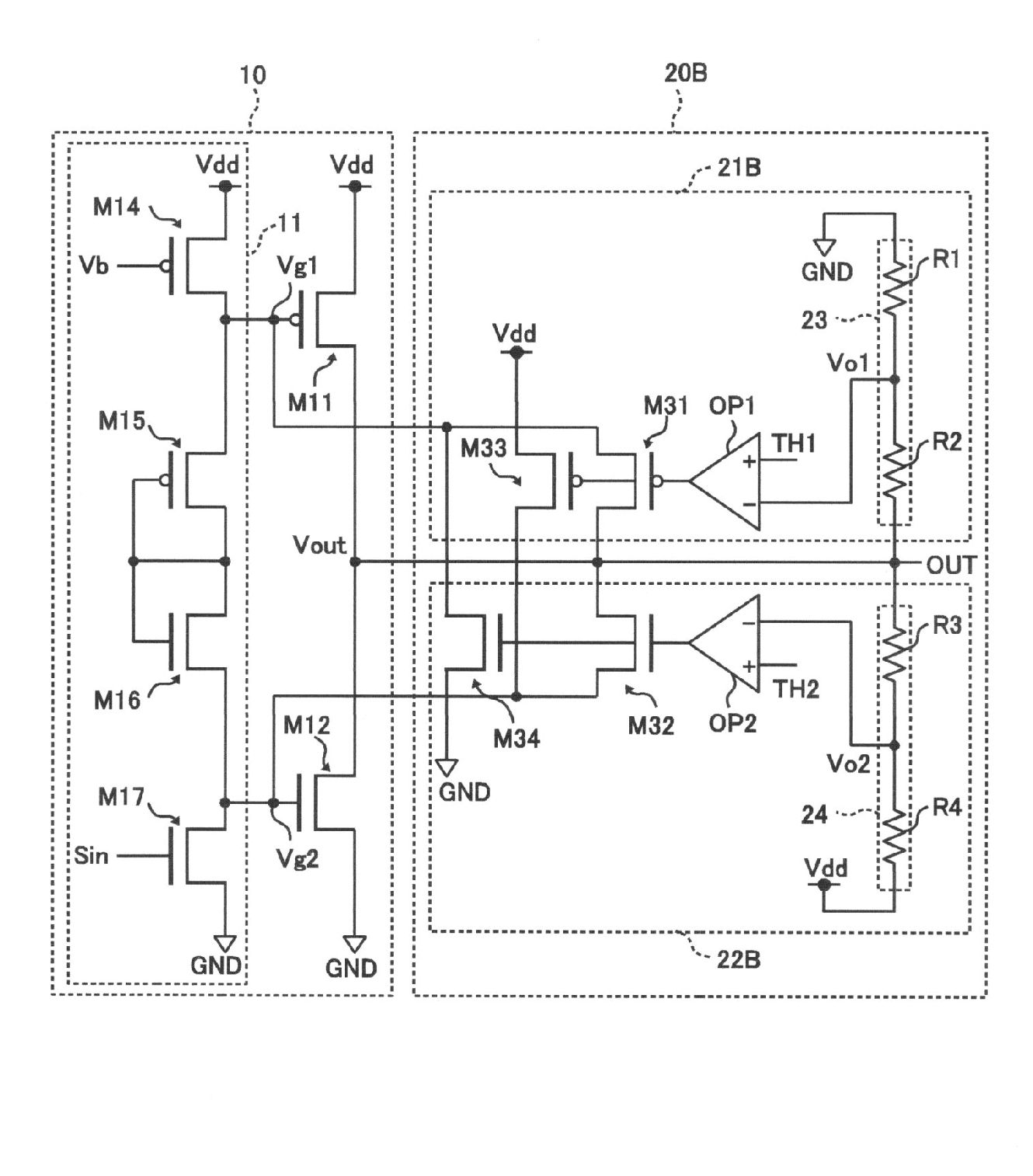
【図４】



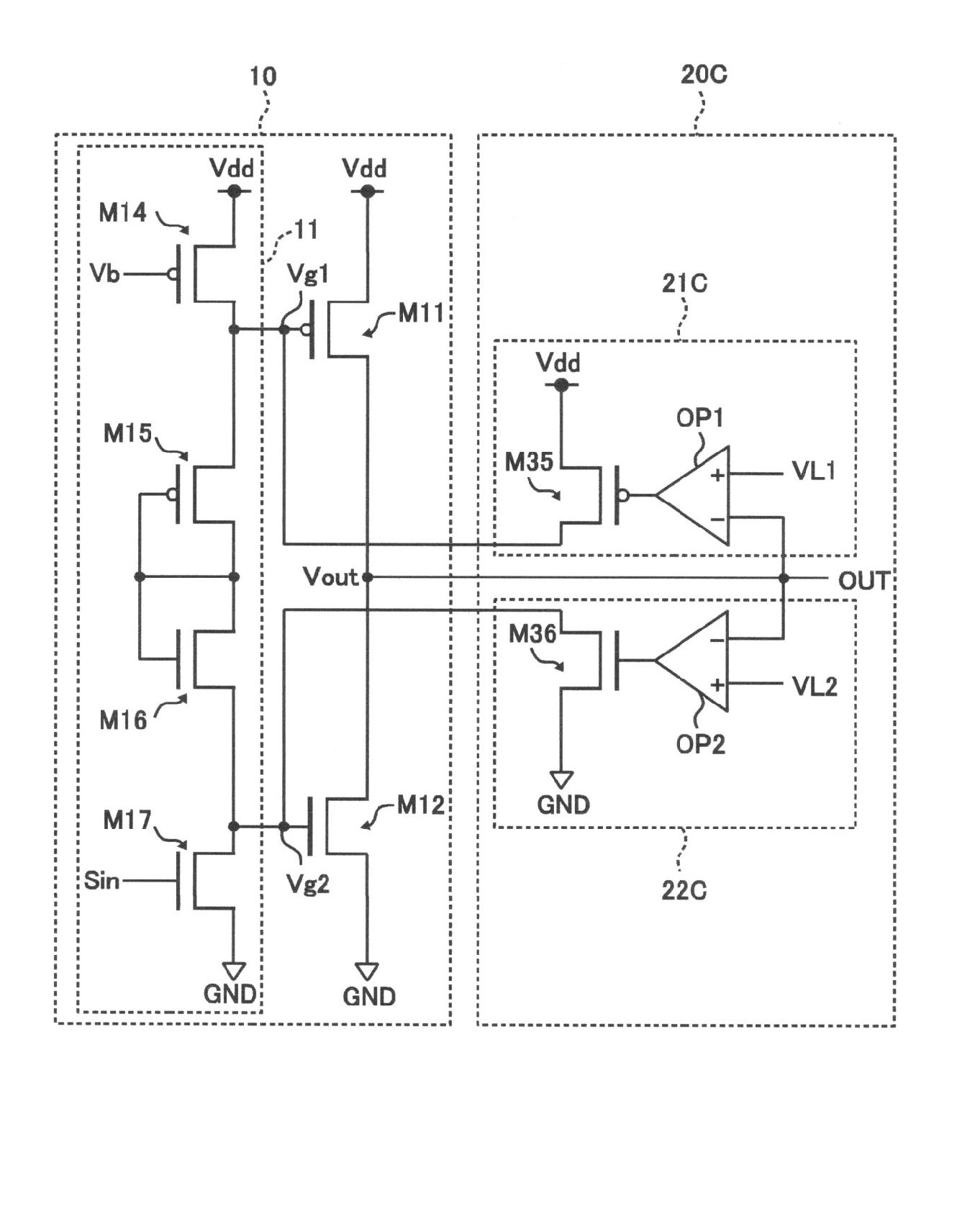
【図５】



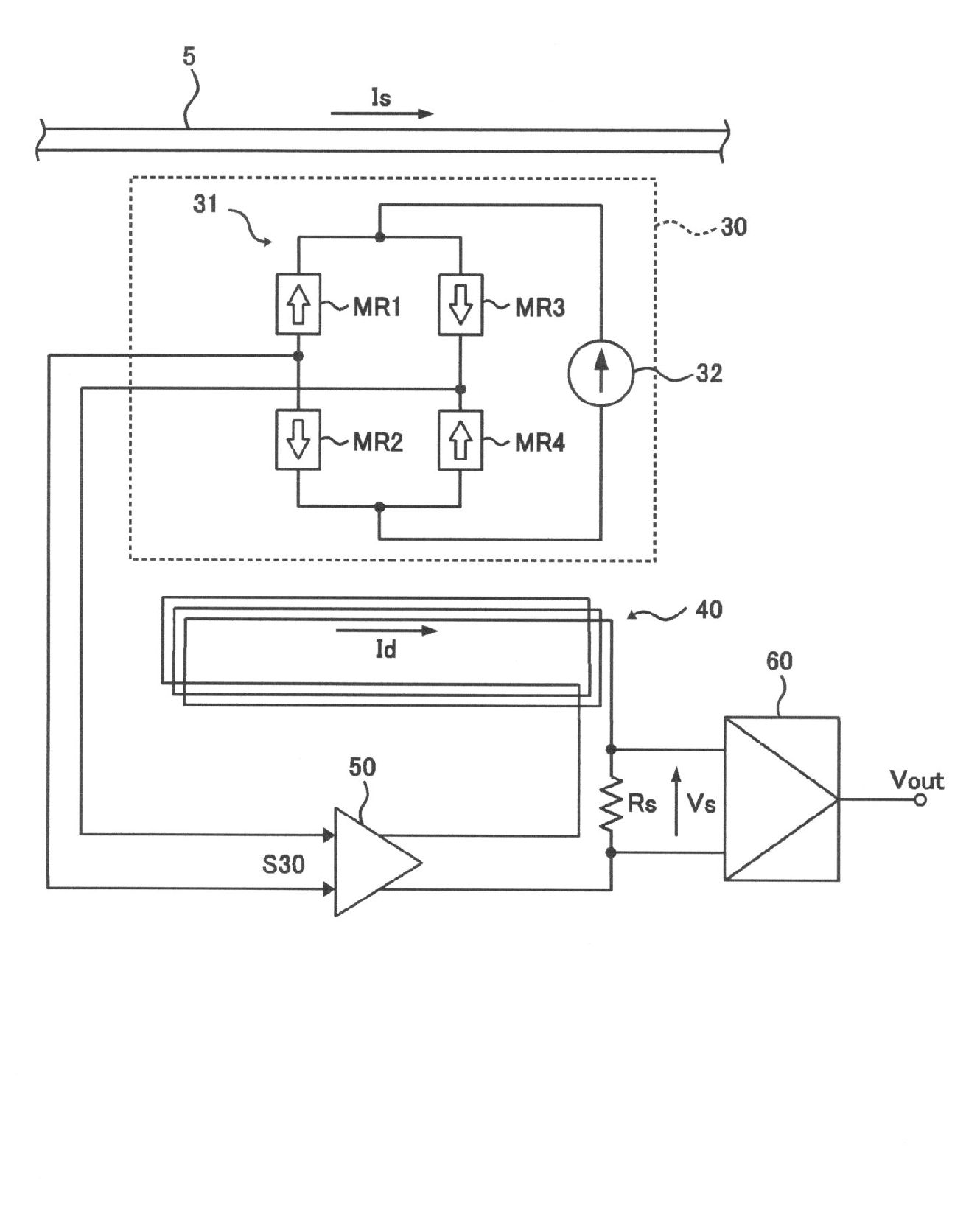
【図６】



【図７】



【図８】



【図９】

